

ゲート・ドライバ搭載のGaN FET互換アナログ・コントローラを使った同期バック・コンバータを設計する方法



はじめに

従来のMOSFETアナログ・コントローラICは、特定の駆動ニーズがあるため、eGaN® FETと完全な互換性がありません。例えば、下側FETが逆方向に導通した場合のブートストラップ電源の過電圧管理はなく[1]、デッドタイム中にスイッチ・ノードで負の大きな電圧スパイクが発生すると、予測できないタイミング動作が発生する可能性があります。この結果、DSPなどのデジタル・コントローラがGaN FETベースの設計に使われてきましたが、電流検出アンプ、ハウスキーピング電源、eGaN FET互換ゲート・ドライバなどの追加のサポートICが必要で[2]。このアプローチは、全体の部品表 (BoM) を増やし、設計の複雑さが増します [3]。

最近、ゲート・ドライバが統合されたGaN互換アナログ・コントローラなどのeGaN FETのエコシステムが進化し、eGaN FETを使うときの設計が大幅に簡素化されました。例えば、この設計で使われているLTC7890は、GaNドライバが統合されたGaN互換のアナログ・コントローラであり、サポートICを追加する必要はありません。このアプリケーション・ノートでは、レイアウトと熱設計の課題について説明します。最後に、この性能を2つの設計例によって示します。48 V入力、12 V出力で600 Wの2相バック (降圧型)・コンバータと、24 Vから5 V / 3.3 Vへの2 MHzのデュアル出力バック・コンバータです。

例1: 600 Wの2相バック・コンバータ

A. FETの選択: 非対称ハーフブリッジと対称ハーフブリッジ

この48 V入力、12 V出力で 600 Wのアプリケーションでは、定格100 Vでオン抵抗6 mΩのEPC2204と、定格100 Vで3.2 mΩのEPC2218の2つのGa N FETで検討します。表1に示すように、3つのハーフブリッジ構成で予測されるFETの損失と温度を比較しました。下側FETは、その時間の75%の間、導通するため、大出力電流では、下側FETの導通損失が主な損失要因になります。対称のEPC2204は、オン抵抗が高いため、損失が最も大きく、温度が最も高くなります。非対称のEPC2204とEPC2218の場合、効率は大きい負荷 (23 A) での対称のEPC2218の場合と非常に似ており、軽い負荷での効率が高くなると予測されますが、上側FETのEPC2204は、チップ・サイズが小さく、はんだパッド直下のサーマル・ピアが少ないと熱抵抗が大きくなり、加熱されます。全体として、対称のEPC2218は、損失と熱特性の両方の指標で、最高の特性を示します。

B. レイアウトの最適化

チップスケール・パッケージ (CSP) に収めたeGaN FETの高速スイッチングを利用するには、ゲートとパワー・ループの寄生インダクタンスを最小限に抑えなければなりません。図1から分かるように、パワー・ループ (赤色) はFETと入力デカップリング・コンデンサによって形成され、パワー・ループのインダクタンスは、スイッチング動作に

ハーフブリッジ構成	P_{hs}/P_{ls} 損失モデル	T_{hs}/T_{ls} FEAシミュレーション
対称のEPC2204	3.2 W 5 W	126°C 141°C
対称のEPC2218	3.2 W 2.4 W	94°C 89°C
非対称のEPC2204 (ハイサイド) + EPC2218 (ローサイド)	3.4 W 2.4 W	112°C 91°C

表1 さまざまなハーフブリッジ構成の比較
($V_{IN} = 48 V$, $V_{OUT} = 12 V$, $I_{OUT} = 23 A$).

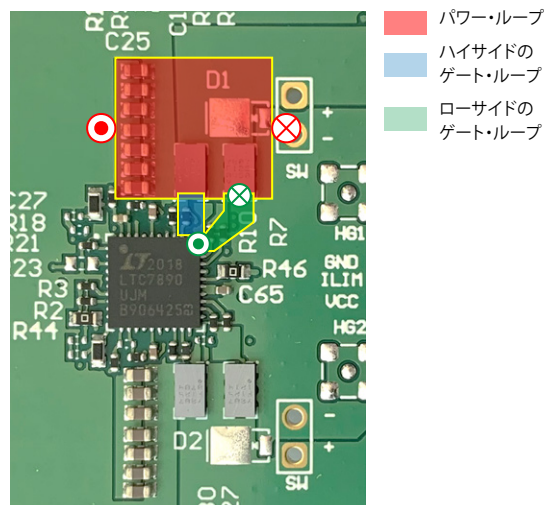
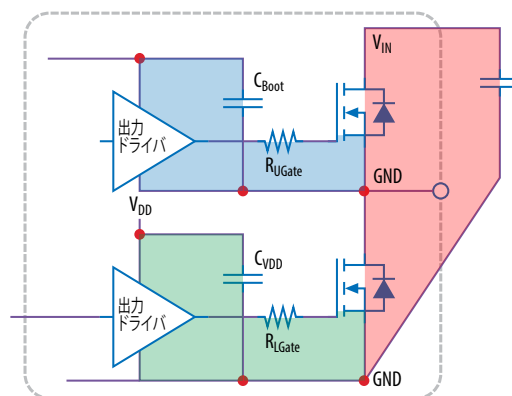


図1. 重要な転流ループを示すFETとコントローラIC (LTC7890)のレイアウト。ゲート・ループとパワー・ループは直交しています。

影響を与えます。スイッチング損失を最小化し、リンギングを減らすためには、パワー・ループのインダクタンスを最小限に抑える必要があります。1つのアプローチは、[4] で説明されている内部の垂直ループのレイアウトを使うことです。このレイアウトでは、プリント回路基板の第2層がソリッド・グラウンドの戻り面となります。同様に、ゲートのリンギングを減らしてゲートの過電圧を防ぐために、ハイサイドHS (青色) とローサイドLS (緑色) のゲート・ループのインダクタンスも最小化しなければなりません。バック・コンバータでは、**ハイサイドFETはハード・スイッチングされ、ローサイドFETはソフト・スイッチングされます。**このICとレイアウトの物理的制約を考慮して、**ハイサイドのゲート・ループを意図的に優先し、ローサイドのゲート・ループよりも小さくします。**パワー・ループとゲート・ループの方向は互いに空間的に直交していることに注意してください。これは、共通ソース・インダクタンスの低減に役立ちます。

レイアウトも熱管理に影響します。eGaN FETは非常に高効率ですが、パッケージ化されていないeGaN FETは、面積が小さいので、熱管理に注意を払う必要があります。この例では、ヒートシンクを使っていないため、eGaN FETの下のビアの数を最大化することが重要です。これによって、FETからプリント回路基板の銅層への熱拡散が大幅に改善されます。図2の熱シミュレーションは、FETからプリント回路基板の裏面に熱を伝導するビアを示しています。プリント回路基板の層の数、銅の重さ、ビアの構造、プリント回路基板の積層も、熱特性に影響を与えることに注意してください [5]。

C. 実験結果:

EPC9158は、48 V 入力、12 V 出力、600 W のバック・コンバータであり、データセンターや自動車の48 V のアプリケーションを対象としています。EPC2218を使い、スイッチング周波数は500 kHz、コイルは2 μH (SER2011-202) です。400 LFMのエアフローで、入力電圧範囲28 V~54 V、最大出力電流50 Aで測定された熱定常状態の効率が図3です。48 V 入力の場合、出力電流が約30 A (60% 負荷) のときのピーク効率は96.5%です。図4の熱画像に示すように、全電力での最大デバイス温度は91°Cに達しました。

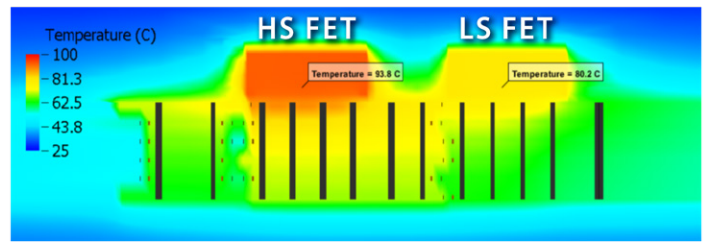


図2. 6層プリント回路基板に取り付けられたCSP封止のGaN FETの熱シミュレーション結果の断面図で、熱流路としてのビアを示しています。

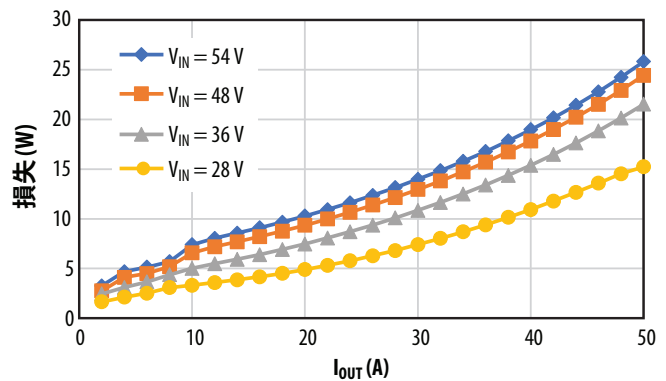
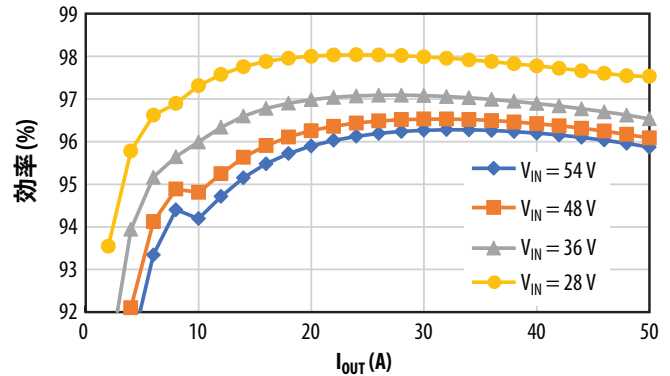


図3. 入力電圧範囲28~54 V、12 V出力で測定したEPC9158の効率と電力損失の結果。

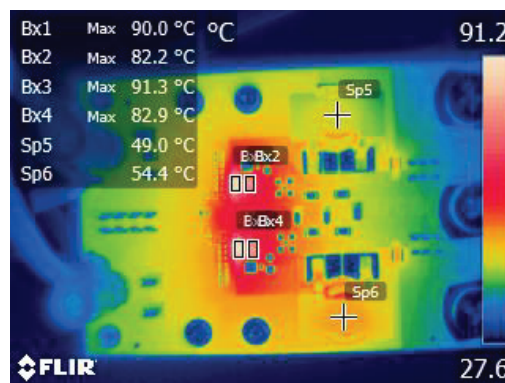
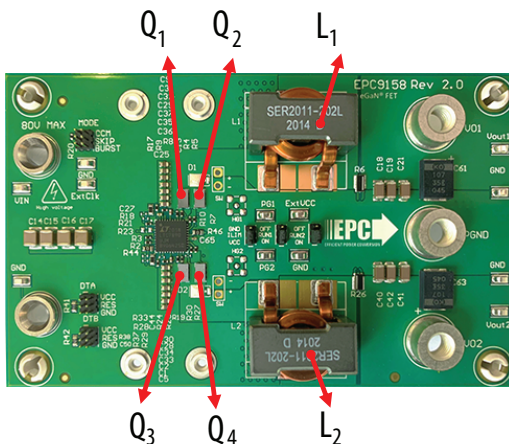


図4. (左図) EPC9158基板、(右図) 熱測定の結果。VIN=48 V、VOUT=12 V、fs=0.5 MHz、IOUT=50 A、400 LFMの強制空冷でテスト。

例2:2 MHzのデュアル出力バック・コンバータ

EPC9160は、図5(左図)に示すように、EPC9158と同様の方法で設計された2 MHzで、24 Vからデュアル出力電圧(5 Vと3.3 V)のバック・コンバータです。自動車用途のEMI(電磁干渉)要件に基づいて高いスイッチング周波数を選択し、小さいサイズのコイルとコンデンサと共に、GaN FETの高速スイッチング速度を示しています。パワー段のEPC9160全体の面積は、わずか506 mm²(W=23 mm、L=22 mm)です。

図5は、12 Vから24 Vの範囲のさまざまな入力電圧に対する効率と電力損失の特性の測定結果です。12 V入力と5 V出力でピーク効率96%が実現できています。図6(右図)に、24 V入力で強制空冷がない最悪の場合の熱の結果を示します。このとき、デバイスの温度は77°Cに達しました。FETの真下のピアと厚さ2オンスの銅の6層プリント回路基板は、プリント回路基板の銅層の熱拡散を利用してFETの温度を下げることに役立ちます。

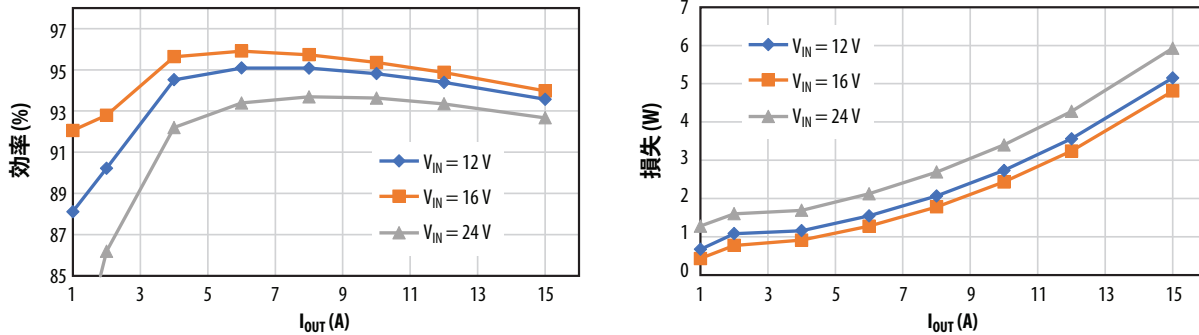


図5. 入力電圧範囲12~24 V、5 V出力で測定したEPC9160の効率と電力損失の結果。

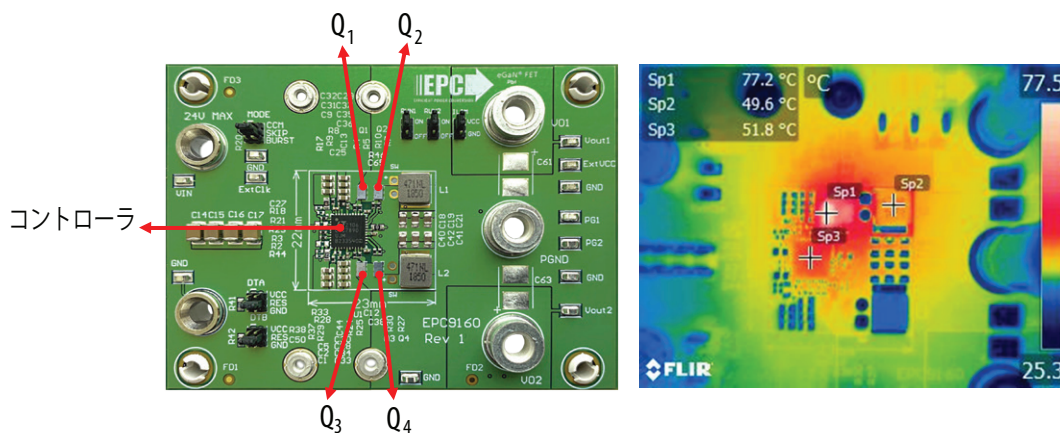


図6. (左図) EPC9160基板、(右図) V_{IN}=24 V、V_{OUT}=5 V、f_s=2 MHz、I_{OUT}=10 A、強制空冷なしでテストされた熱測定の結果。

結論

このアプリケーション・ノートでは、アナログ・コントローラを備えたGaN FETの簡略化された設計について説明しました。ゲート・ドライバが統合されたコントローラなどのGaN互換エコシステムは、設計を大幅に簡素化し、BoM(部品表)の部品数を削減します。2つの設計例;すなわち48 V入力、12 V出力で、600 Wのバック・コンバータであるEPC9158と、2 MHzで、12~24 Vから5 V/3.3 Vへのバック・コンバータであるEPC9160を、高効率と優れた熱特性など、GaN FETの高性能を実証するために使いました。GaN FETが提供しなければならない最高の性能を実現するには、適切なレイアウト方法が重要です。

参考文献

- [1] D. Reusch and M. de Rooij, "Evaluation of gate drive overvoltage management methods for enhancement mode gallium nitride transistors," IEEE Applied Power Electronics Conference and Exposition (APEC), March 2017, pp. 2459-2466.
- [2] A. Lidow, M. De Rooij, J. Strydom, D. Reusch, and J. Glaser, GaN Transistors for Efficient Power Conversion, 3rd ed. John Wiley & Sons, 2019. ISBN: 978-1119594147.
- [3] Yu, Zhihong. "Using GaN Fets Can Be as Simple as Using Silicon FETs - an Example IN 48V Systems." Power Electronics News, 7 Apr. 21.
- [4] D. Reusch and J. Strydom, "Understanding the Effect of PCB Layout on Circuit Performance in a High-Frequency Gallium-Nitride-Based Point of Load Converter," in IEEE Transactions on Power Electronics, vol. 29, no. 4, pp. 2008-2015, April 2014, doi: 10.1109/TPEL.2013.2266103.
- [5] Epc-co.com/epc/jp. 2021. [オンライン]「eGaN® FETの熱管理」How 2 App Note 012. 2021年5月.

詳細については、
当社ウェブサイト: epc-co.com/epc/jp/を
ご覧ください



Info@epc-co.comに電子メールで、または
お近くの販売代理店にお尋ねください

bit.ly/EPCupdatesに登録、または
22828に「EPC」とテキストすれば、
EPCの最新情報を受信できます